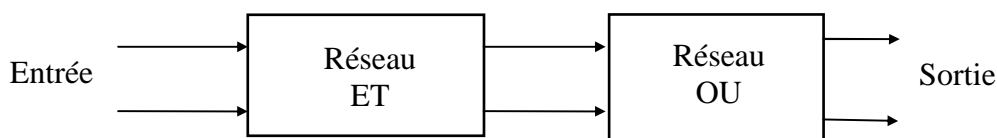


1) INTRODUCTION

Le manque de place et l'obligation d'abaisser les coûts des grandes séries ont vite conduit au besoin de réunir les fonctions de plusieurs circuits logiques standards dans un seul boîtier.

Il est d'abord nécessaire de parler de la structure interne des circuits logiques programmables. (En anglais : Programmable Logic Device = PLD)

Un circuit logique programmable contient un très grand nombre de portes pouvant être chaînées. Ils sont constituées d'une matrice d'entrée ET et, d'une matrice de sortie OU.



Une représentation simplifiée est nécessaire pour la représentation des circuits logiques programmables.

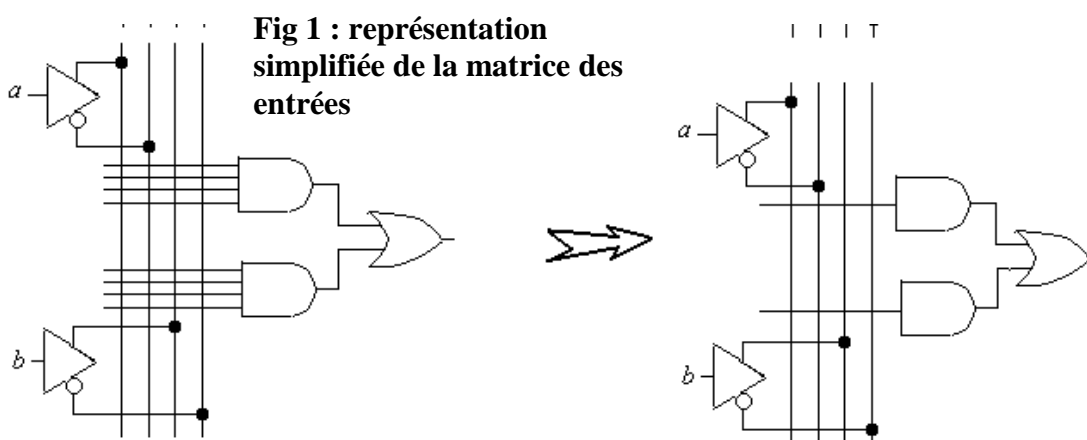


Fig 1 : représentation simplifiée de la matrice des entrées

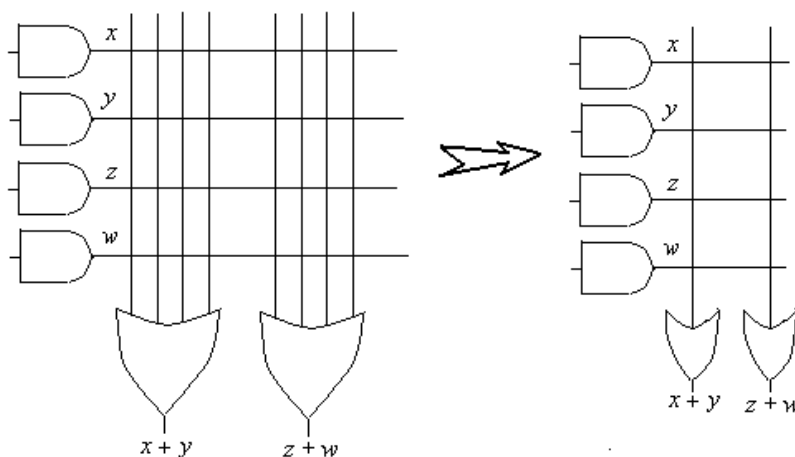


Fig 2 : représentation simplifiée de la matrice des sorties

Lorsque les circuits ne sont pas programmés, il existe à tous les croisements un fusible. Au cours de la programmation, les fusibles non utilisés sont détruits afin de réaliser la matrice requise.

Exercice : Sur la représentation simplifiée fig1, placez en sortie la variable $c = \overline{a \oplus b}$

Complétez la matrice afin d'obtenir la fonction $c = \overline{a \oplus b}$ en dessinant par un rond noir les fusibles conservés après programmation..

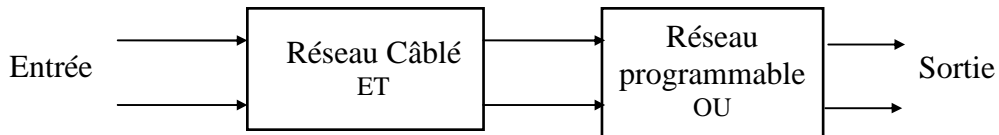
Sur la représentation simplifiée fig2, Complétez la matrice afin d'obtenir les fonctions $x + y$ et $w + z$ en dessinant par un rond noir les fusibles conservés après programmation..

2) P.R.O.M.(Programmable Read Only Memory)

Les premiers circuits programmables faits sur mesure étaient les ROM; elles fournissent en sortie un mot de données défini pour chaque adresse installée.

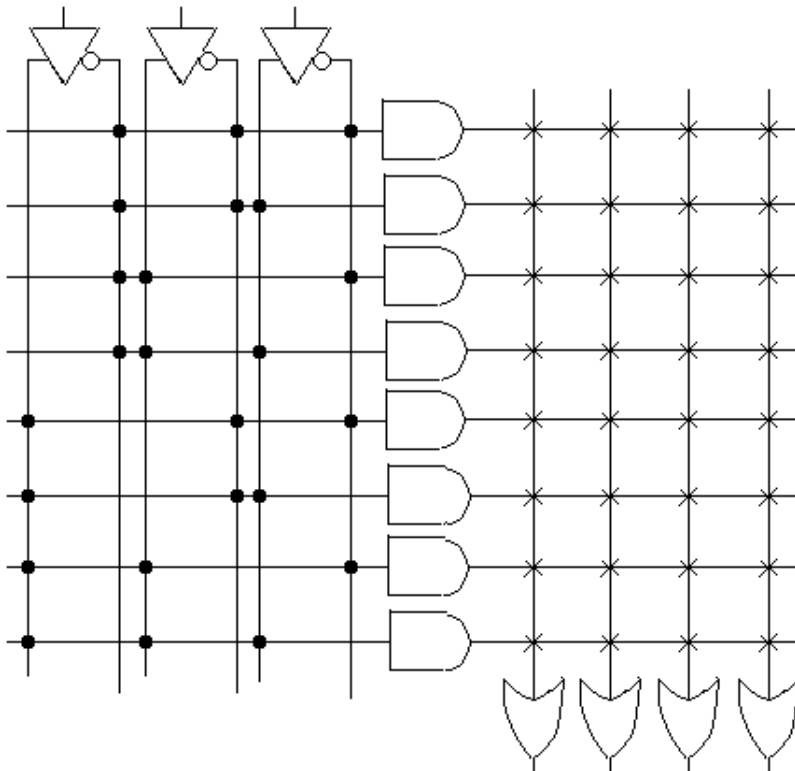
Ils sont constitués d'une matrice d'entrée matériellement câblée, réalisant toute les combinaisons des entrées et, d'une matrice de sortie qui peut être définie par l'utilisateur .

Des fusibles existent à toutes les intersections, lors de la programmation du circuit ces fusibles seront soit détruits, soit conservés, afin d'assurer le bon état logique en sortie.



EX PROM 3 entrée 4 sorties.

Les ronds noirs représentent des connexions. Les croix représentent des fusibles.



Exercice : Sur le schéma ci dessus représentez les fusibles à conserver par un rond noir pour stocker en mémoire les mots suivants :

A2	A1	A0	Mot de Sortie
0	0	0	\$4
0	0	1	\$2
0	1	0	\$0
0	1	1	\$A
1	0	0	\$D
1	0	1	\$F
1	1	0	\$F
1	1	1	\$F

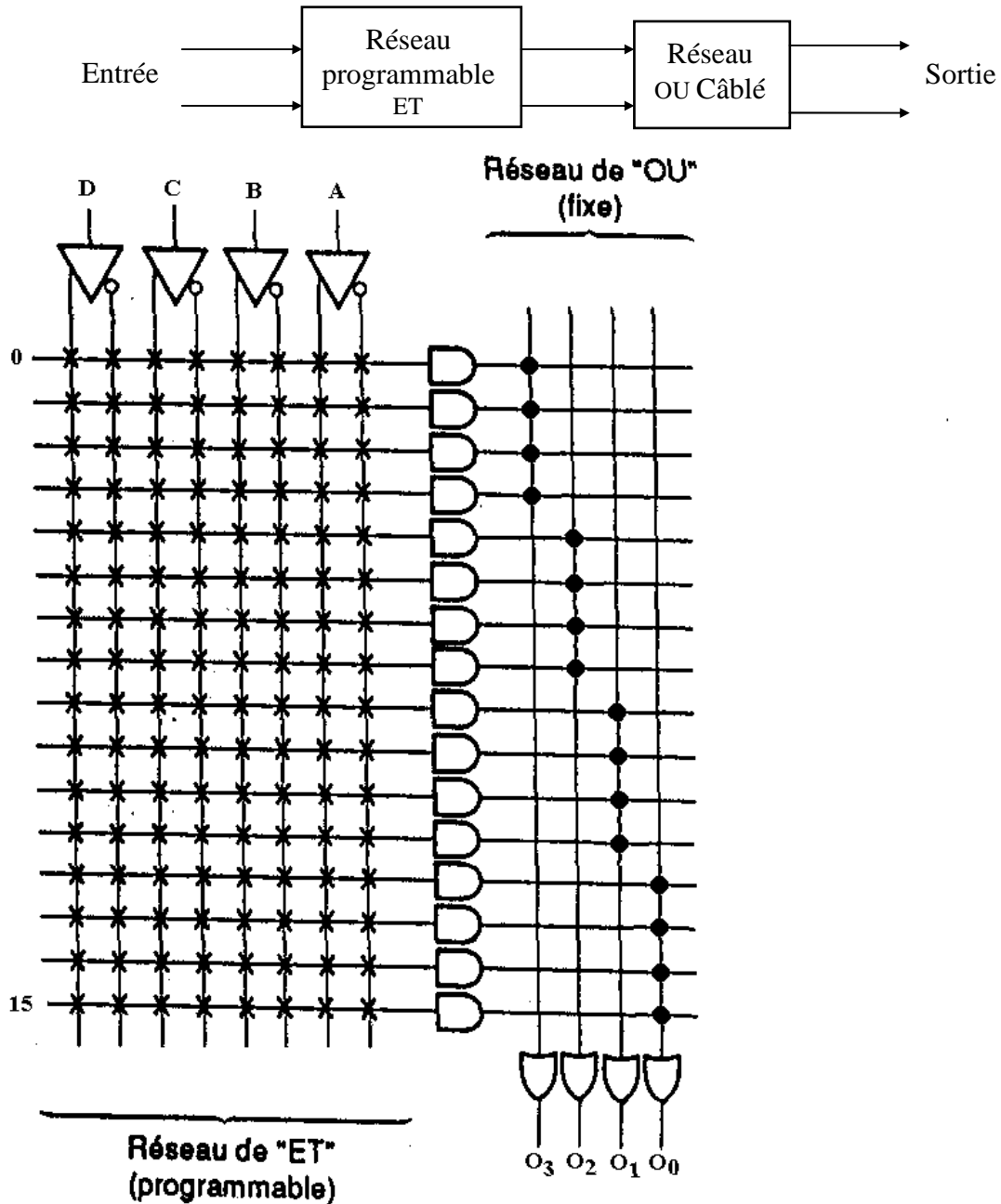
3) P.A.L. (Programmable Logic Array, Réseau logique programmable)

Les PAL sont des circuits logiques programmables une seule fois

3.1) Les PAL Combinatoire (L ou H)

Ils sont constitués d'une matrice d'entrée programmable et, d'une matrice de sortie matériellement câblée.

Des fusibles existent à toutes les intersections de la matrice d'entrée, lors de la programmation du circuit ces fusibles seront soit détruits soit conservés.



Exercice. Complétez la figure ci dessus pour réaliser les fonctions O1 et O2, faites apparaître les fusibles à conserver par un rond noir.

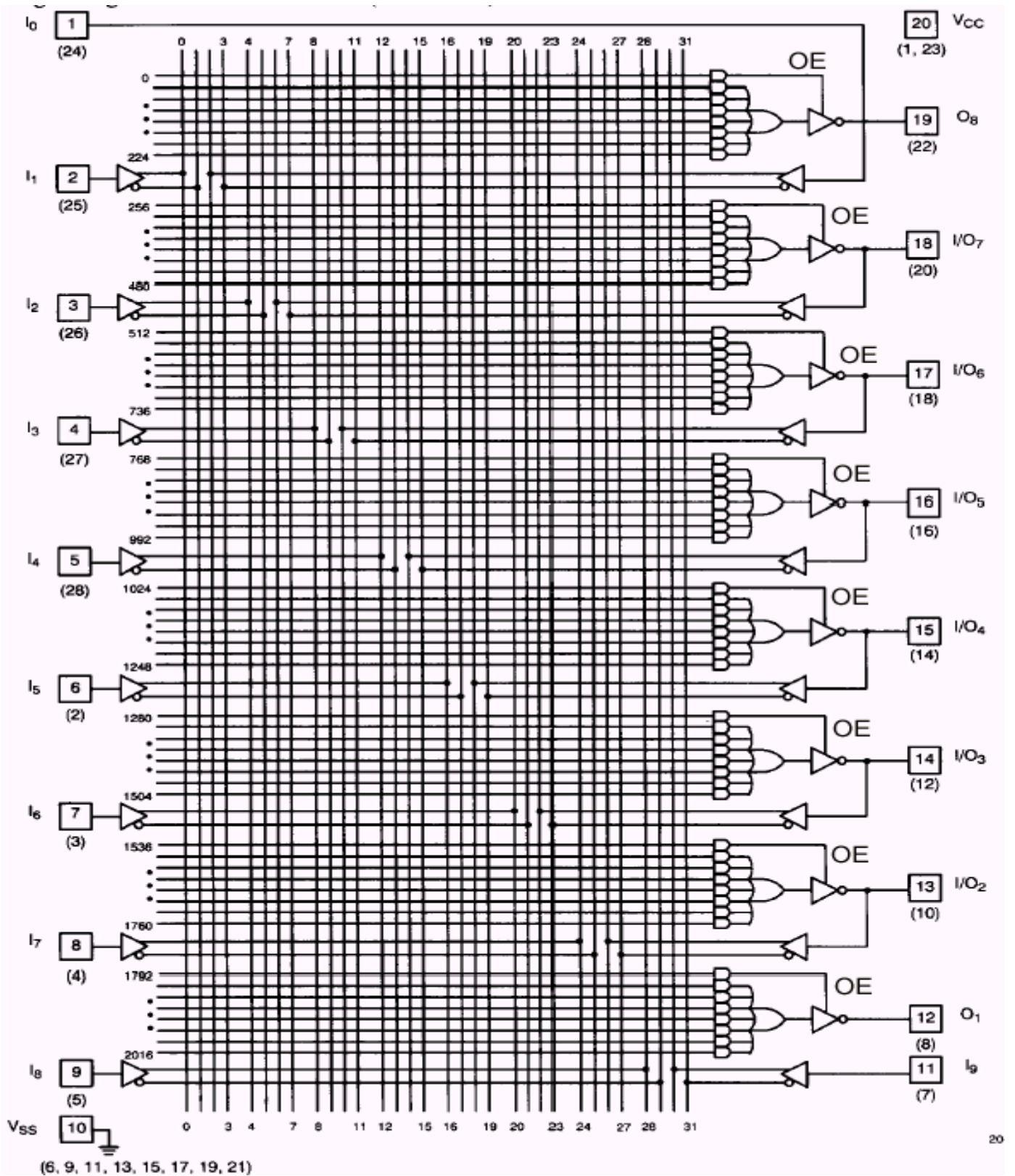
$$O_1 = a.b.c. + \bar{a}\bar{b}\bar{c} + \bar{a}b.c \quad O_2 = a.b.c. + \bar{a}\bar{b}\bar{c} + \bar{a}b.c + a.b.\bar{c}$$

En général, dans les circuits PAL le signal de sortie est réinjecté sur la matrice programmable de ET évitant ainsi de relier une sortie à une entrée avec un fil externe. (**Ex : PAL16L8**)

On comptabilise comme une entrée, un signal et son complément connectés à la matrice d'entrée.

On comptabilise comme une sortie, tout signal physiquement accessible en sortie du boîtier.

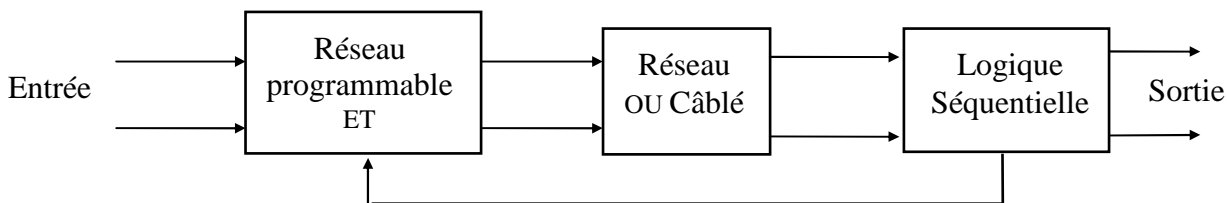
Une entrée Output Enable permet la mise en haute impédance de la sortie



Exercice Sur le schéma ci dessus, comptabilisez le nombre d'entrées et de sorties.

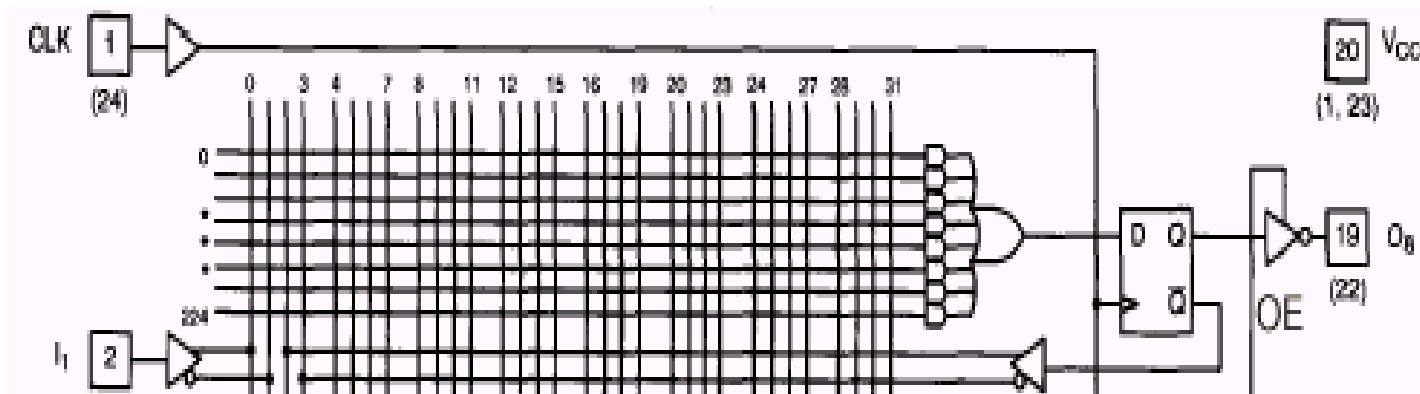
3.2) PAL Séquentiel

3.2.1)Principe des PAL séquentiel :



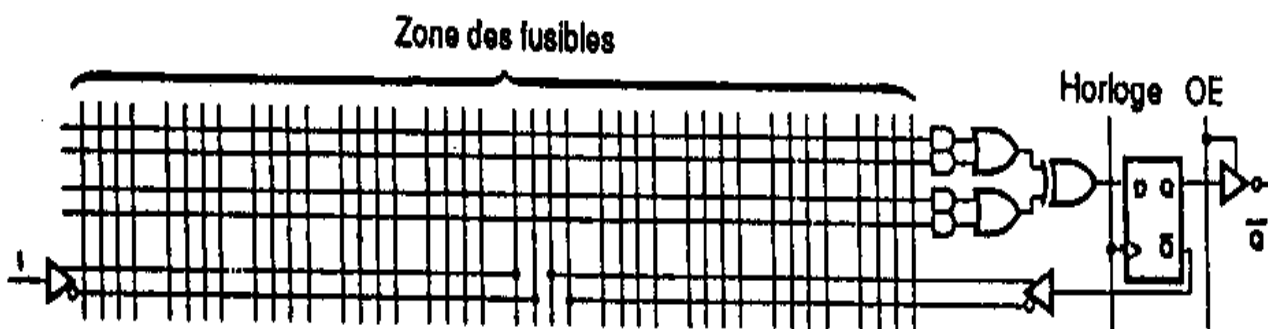
3.2.2) PAL à Registre (R)

La sortie du réseau OU aboutit sur l'entrée d'une bascule D. La sortie \bar{Q} de la bascule est réinjectée sur la matrice programmable d'entrée. La sortie Q est bufférisée. Toutes les horloges des bascules sont communes et commandées par l'entrée CLOCK. De même la validation des buffers de sortie se fait avec une entrée commune OE (Output Enable "validation des sorties"). (**Ex : PAL16R8**)



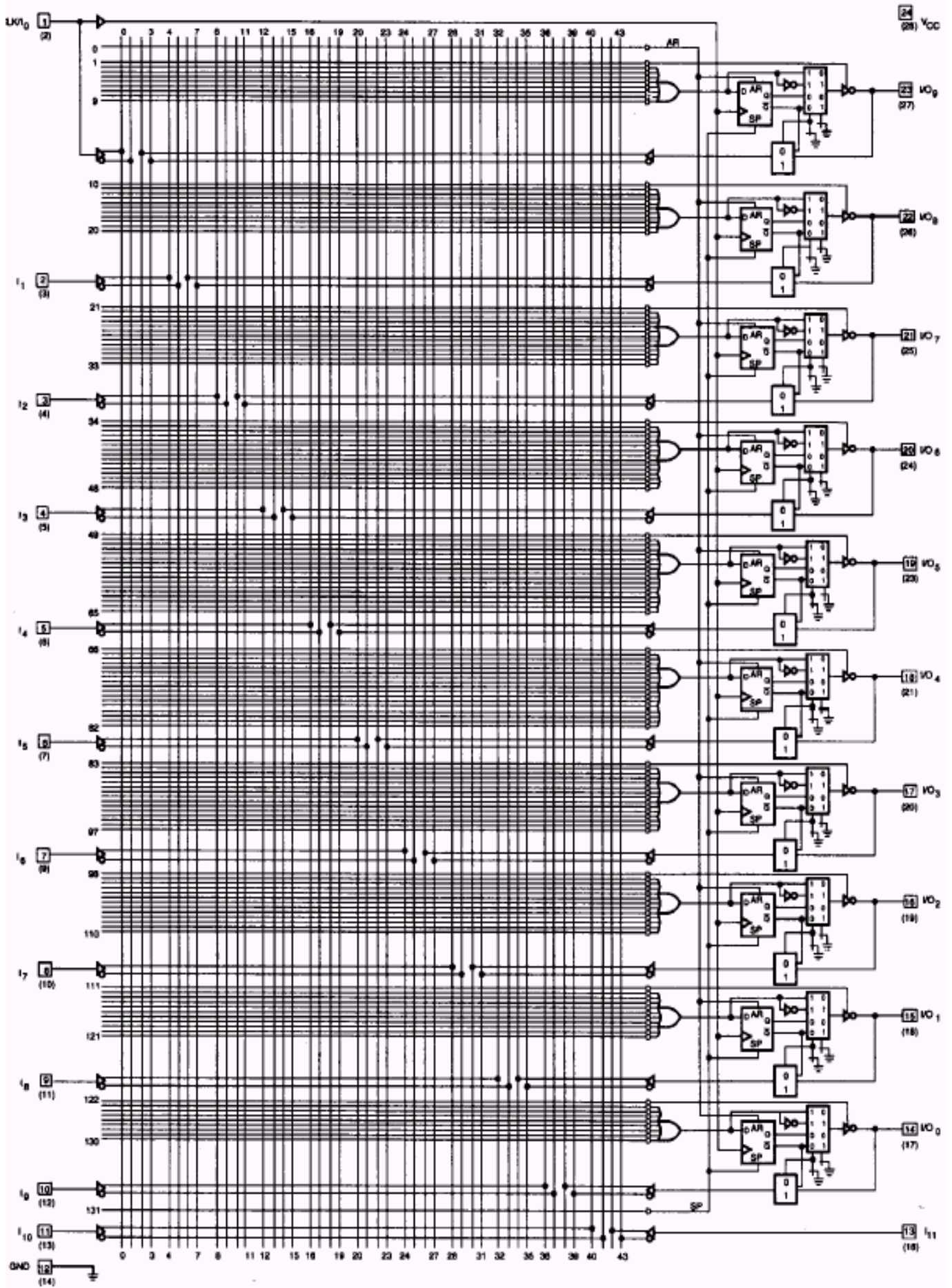
3.2.3) PAL a registre et OU exclusif (X)

Une fonction OU exclusive est ajoutée à la solution précédente. (**Ex : PAL16X8**)

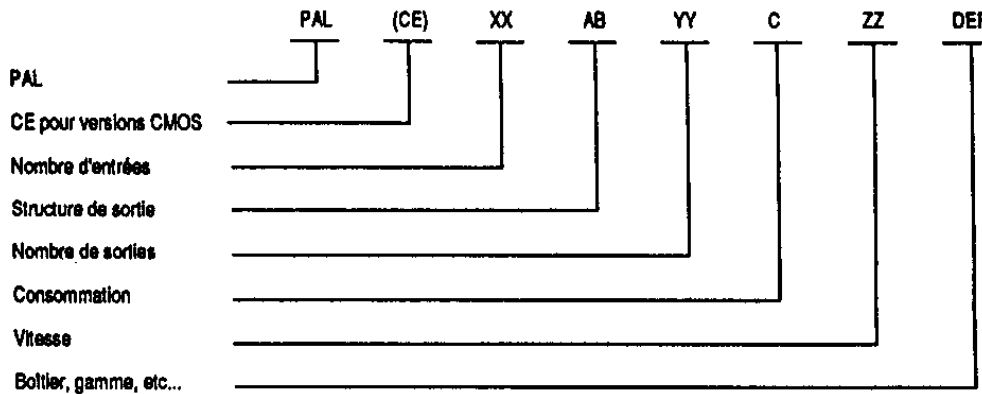


3.2.4) PAL polyvalent (Versatile)

La sortie du réseau OU aboutit sur l'entrée d'une macro cellule qui permet de configurer les sorties. La macro cellule est composée d'une bascule flip flop pré- positionnable associée à deux multiplexeur programmables. Il y a quatre types de configuration possible en sortie. Les signaux annexes de commande sont généré grâce à des fusibles internes. (**Ex : PAL20V8**)



3.3) Décodage des références des PAL.



Lettre(s) code(s)	Structure de sortie
L	Combinatoire active bas
H	Combinatoire active haut
R	Registre
RA	Registre asynchrone
X	Registre et OU exclusif
V	Versatile

En fonction des constructeurs la vitesse et la consommation sont parfois placées dans l'ordre inverse.

La consommation est repérée :

Espace :	pleine puissance	180-240 mA.
H, L ou -2 :	demi-puissance	90-105 mA.
Q ou -4 :	quart de puissance	45-55 mA.
Z :	puissance zéro	<0.1 mA en standby.

La vitesse est soit directement indiquée par un nombre en ns soit repérée par des lettres. La vitesse représente le temps de propagation.

Espace :	35ns.
A :	25ns.
B :	15ns.
D :	10ns.

Exercice 1) Donnez les caractéristiques d'un PAL 16 L 8 A -2 et, PAL 22 X 10 -30 L.
 2) Dans un appareil fonctionnant sur batterie quel PAL utilisez-vous ?
 PAL 16 L 8 A -2, PAL 16 L 8 -25 L, PAL 16 L 8 Z A, PAL 16 L 8 D.

4) Les EEPLD ou G.A.L. (Generic Array Logic, Logique de matrice universelle)

Ce sont des PAL effaçable électriquement, ce qui permet de les reprogrammer, donc de corriger les connexions internes en cas d'erreur ou de modification. Ils utilisent la technique des EEPROM (EEPLD pour Electrically Erasable Programmable Logic Device)

Inventés par Lattice Logic, ces GAL offrent une grande souplesse d'utilisation. Ce sont des circuits CMOS, mais de temps d'accès rapide (12ns), ce qui les rends compatibles avec les PAL bipolaires qu'ils peuvent remplacer.

La structure de sortie des GAL est polyvalente (Versatile). Elle est généralement plus sophistiquée et appelée macro cellule OLMC (Output Logic Macro Cell). Cette OLMC peut prendre plusieurs formes et notamment remplacer tous les modèles de PAL.

(**Ex** : GAL16V8)

Les OLMC sont configurées par des bits internes :

SYN, AC0, AC11 à AC18, XOR1 à XOR8

On obtient deux modes de base :

* Le mode combinatoire	à buffer de sortie toujours valide	SYN, AC0, AC1(n) = 100
	à buffer de sortie commandable	SYN, AC0, AC1(n) = 111
	dédié à l'entrée	SYN, AC0, AC1(n) = 101
	dans un produit à registres	SYN, AC0, AC1(n) = 011
* Le mode registre		SYN, AC0, AC1(n) = 010



General Description

The NSC E²CMOS™ GAL device combines a high performance CMOS process with electrically erasable floating gate technology. This programmable memory technology applied to array logic provides designers with reconfigurable logic and bipolar performance at significantly reduced power levels.

The 20-pin GAL16V8 features 8 programmable Output Logic Macrocells (OLMCs) allowing each output to be configured by the user.

Additionally, the GALt6V8 is capable of emulating, in a functional / fuse map/ parametric compatible device, all common 20-pin PAL device architectures.

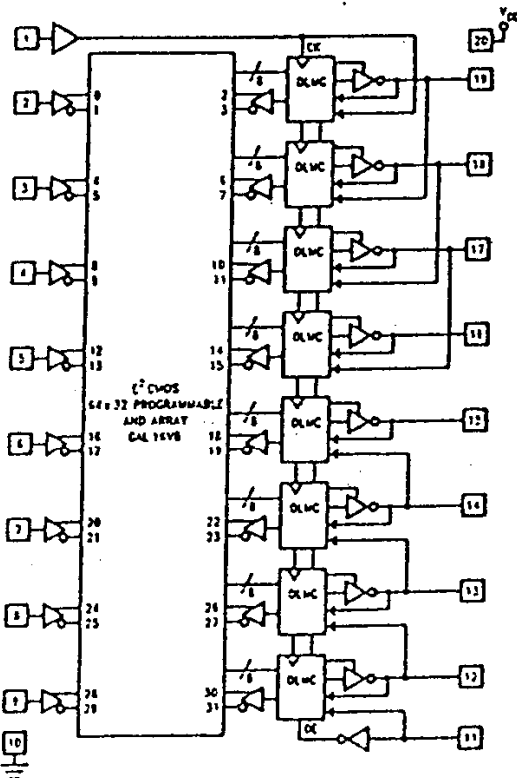
Programming is accomplished using readily available hardware and software tools. NSC guarantees a minimum 100 erase/write cycles.

Unique test circuitry and reprogrammable cells allow complete AC, DC, cell and functionality testing during manufacture. Therefore, NSC guarantees 100% field programmability and functionality of the GAL devices. In addition, electronic signature is available to provide positive device ID. A security circuit is built-in, providing proprietary designs with copy protection.

Features

- ▶ Electrically erasable cell technology
 - Reconfigurable Logic
 - Reprogrammable cells
 - Guaranteed 100% yields
- ▶ High performance E2CMOS technology
 - Low power: 45 mA/90 mA max active
35 mA/70 mA max standby
 - High Speed : 15 ns-35 ns max access
- ▶ Eight output logic macrocells
 - Maximum flexibility for complex logic designs
 - Also emulates 20-pin PAL devices with full function/fuse map/parametric compatibility
- ▶ Preload and power-on reset of all registers
 - 100% functional testability
- ▶ High speed programming algorithm
- ▶ Security cell prevents copying logic

Functional Block Diagram

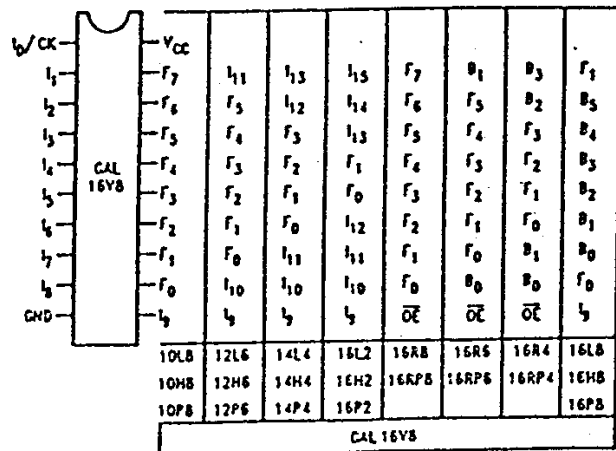


TL/L/9344-1

Pin Names

I ₀ -I ₁₅	Input	OE	Output Enable
CK	Clock Input	V _{CC}	Power (+5V)
B ₀ -B ₅	Bidirectional	GND	Ground
F ₀ -F ₇	Output		

GAL 16V8 Emulating PAL Devices



TL/L/9344-2

IN-STATE® is a registered trademark of National Semiconductor Corporation.
 IL® is a registered trademark of Lattice Semiconductor.
 IL® is a registered trademark of Monolithic Memories.
 JANTM® is a trademark of National Semiconductor Corporation.
 CMOS™ is a trademark of Lattice Semiconductor.

Output Logic Macrocell (OLMC)

The following discussion pertains to configuring the output logic macrocell. It should be noted that actual implementation is accomplished by development software/hardware and is completely transparent to the user.

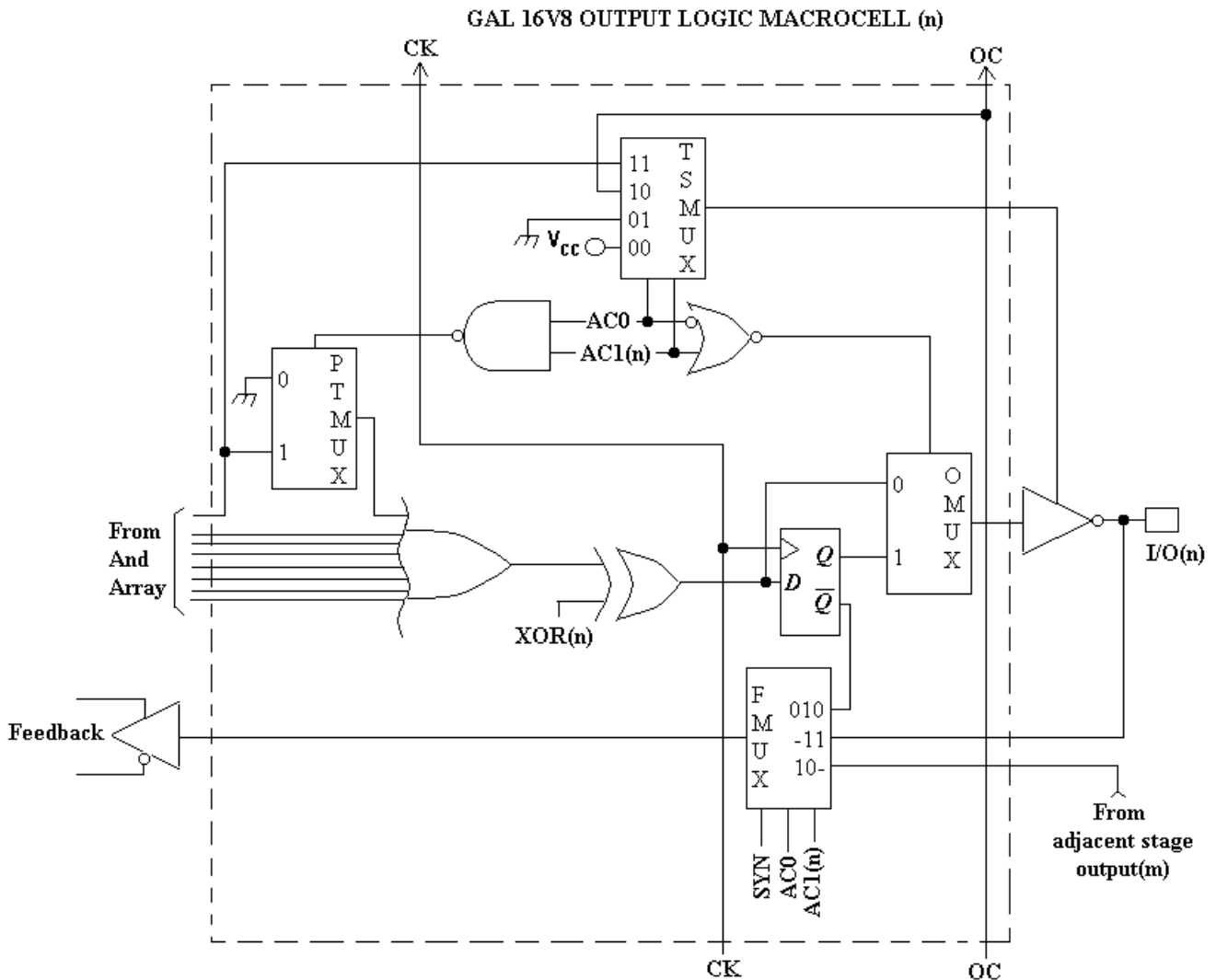
The outputs of the AND array are fed into an OLMC where each output can be individually set to active high or active low, with either combinational (asynchronous) or registered (synchronous) configurations. A common output enable can be connected to all outputs, or separate inputs or product terms can be used to provide individual output enable controls. The output logic macrocell provides the designer with maximal output flexibility in matching signal requirements, thus providing more functions than possible with existing 20.pin PAL devices.

The various configurations of the output logic macrocell are controlled by programming certain cells (SYN, ACO, AC1 (n) and the XOR(n) polarity bits) within the 82-bits architecture control word. The SYN bit determines whether or not a device will have registered output

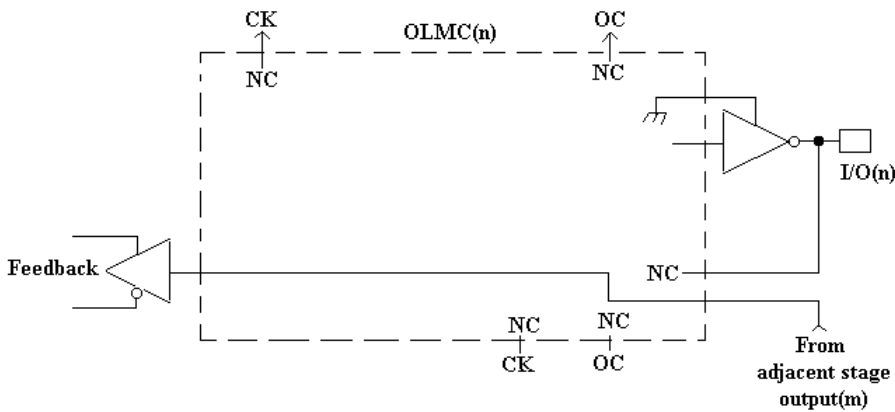
capability or will have purely combinational outputs. It also replaces the ACO bit in the two outermost macrocells, OLMC (12) and OLMC (19).When first setting up the device architecture, this is the first bit to choose.

Architecture control bit ACO and the eight AC1 (n) bits direct the outputs to be wired always on, always off (as an input), have common \overline{OE} control (Pin 11), or to be TRI-STATE controlled separately from a product term. The architecture control bits also determine the source of the array feedback term through the FMUX, and select either combinational or registered outputs.

The five valid macrocell configurations are shown in each of the macrocell equivalent diagrams. In all cases, the eight XOR(n) bits individually determine each output's polarity. The truth table associated with each diagram shows the bit values of the SYN, ACO, and AC1(n) that set the macrocell to the configuration shown.



Dedicated Input Mode

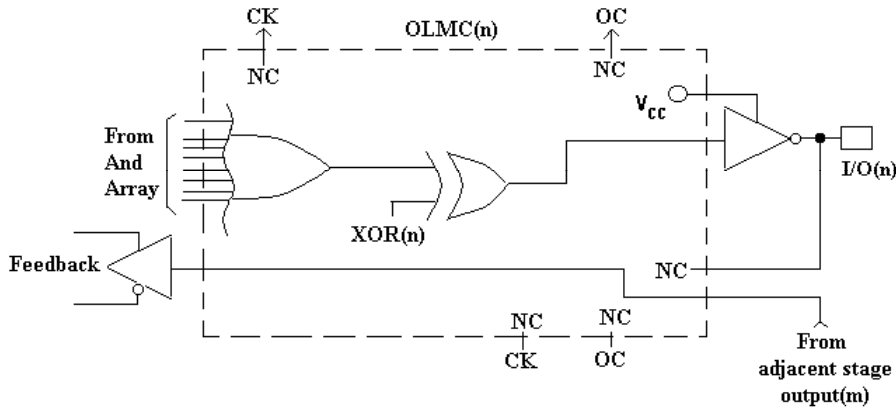


SYN	AC0	AC1(n)	Function
1	0	1	Input Mode (i.e 12L6, 14P4)

In this architecture mode, Pins 1 & 11 are data inputs.
The output buffer is disabled
No feedback for Pins 15 & 16

XOR(n)	Output Polarity
0	Active Low
1	Active High

Dedicated Combinational Output

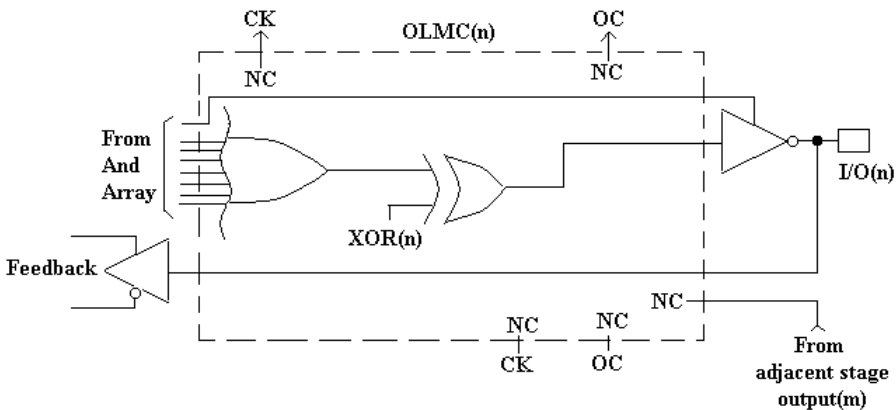


SYN	AC0	AC1(n)	Function
1	0	0	All Outputs Combinational (i.e 10L8, 12H6)

In this architecture mode, Pins 1 & 11 are data inputs.
All outputs are combinational and always active
No feedback for Pins 15 & 16

XOR(n)	Output Polarity
0	Active Low
1	Active High

Combinational Output

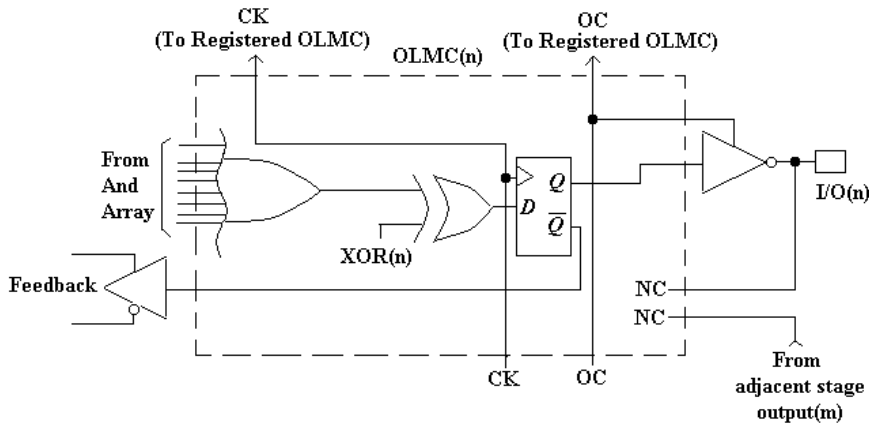


SYN	AC0	AC1(n)	Function
1	1	1	All Outputs Combinational (i.e 16L8, 16H8)

In this architecture mode, Pins 1 & 11 are data inputs.
All outputs are combinational
No feedback for Pins 12 & 19

XOR(n)	Output Polarity
0	Active Low
1	Active High

Registered Active High or Low Output

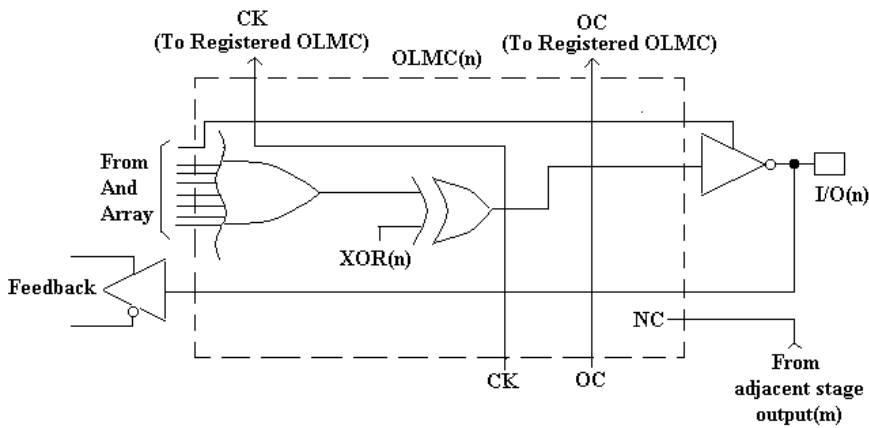


SYN	AC0	AC1(n)	Function
0	1	0	Output Registered (i.e 16R8)

In this architecture mode, Pins 1 =Ck Pin 11= \overline{OE}
Feedback for all macrocell's flip-flops

XOR(n)	Output Polarity
0	Active Low
1	Active High

Combinational Output in a Registered Device



SYN	AC0	AC1(n)	Function
0	1	1	Combinational Output in a Registered Device

In this architecture mode, Pins 1 =Ck Pin 11= \overline{OE}
This macrocell is combinational but at least one of the others is registered output

XOR(n)	Output Polarity
0	Active Low
1	Active High

ROW ADDRESS MAP DESCRIPTION

Figure 1 shows a block diagram of the row address map. There are a total of 36 unique row addresses available to the user when programming the GAL16V8 devices. Row addresses 0-31 each contain 64 bits of input term data. This is the user array where the custom logic pattern is programmed. Row 32 is the electronic signature word. It has 64 bits available for any user-defined purpose. Rows 33-59 are reserved by the manufacturer and are not available to users.

Row 60 contains the architecture and output polarity information. The 82 bits within this word are programmed to configure the device for a specific application. Row 61 contains a one bit security cell that when programmed prevents further programming or verification of the array. Row 63 is the row that is addressed to perform a bulk erase of the device, resetting it back to a virgin state. Each of these functions is described in the following sections.

ARCHITECTURE CONTROL WORD

All of the various configurations of the GAL16V8 devices are controlled by programming cells within the 82 bit architecture control word that resides at row 60. The location of specific bits within the architecture control word is shown in the control word diagram in figure 2. The function of the SYN, ACO and AC1 (n) bits have been explained in the output logic macrocell description. The eight polarity bits determine each output's polarity individually. The numbers below the XOR(n) and AC1(n) bits in the architecture control word diagram show the output device pin numbers that the polarity bits control.

SECURITY CELL

Row address 61 contains the security cell (one bit). The security cell is provided on all GAL 16V8 devices as a deterrent to unauthorized copying of the array configuration patterns. Once programmed, the circuitry enabling array access is disabled, preventing further programming or verification of the array (rows 0-31). The cell can be erased only in conjunction with the array during a bulk erase cycle, so the original configuration can never be examined once this cell is programmed. Signature data is always available to the user.

BULK ERASE MODE

By addressing row 63 during a programming cycle, a clear function performs a bulk erase of the array and the architecture word. In addition, the electronic signature word and the security cell are erased. This mode resets a previously configured device back to the virgin state. Bulk erase is automatically performed by the programming hardware. No special erase operation is required.

OUTPUT REGISTER PRELOAD

When testing state machine designs, all possible states and state transition must be verified in the design, not just those required in the normal machine operations. This is because in system operation, certain events occur that may throw the logic into an illegal state (power.up, line voltage glitches, brown-outs, etc.). To test a design for proper treatment of these conditions, a way must be provided to break the feedback paths, and force any desired (i.e, illegal) state into the registers. Then the machine can be sequenced and the outputs tested for correct next state conditions.

The GAL 16V8 device includes circuitry that allows each registered output to be synchronously set either high or low. Thus, any present state condition can be forced for test sequencing. Figure 3 shows the pin functions necessary to preload the registers. The register preload timing and pin voltage levels necessary to perform the function are shown in Figure 4. This test mode is entered by raising PRLD to V_{IES}, which enables the serial data in (S_{DIN}) buffer and the serial data out (S_{DOUT}) buffer. Data is then serially shifted into the registers on each rising edge of the clock, DCLK. Only the macrocells with registered output configurations are loaded. If only 3 outputs have registers, then only 3 bits need to be shifted in. The registers are loaded from the bottom up, as shown in Figure 3.

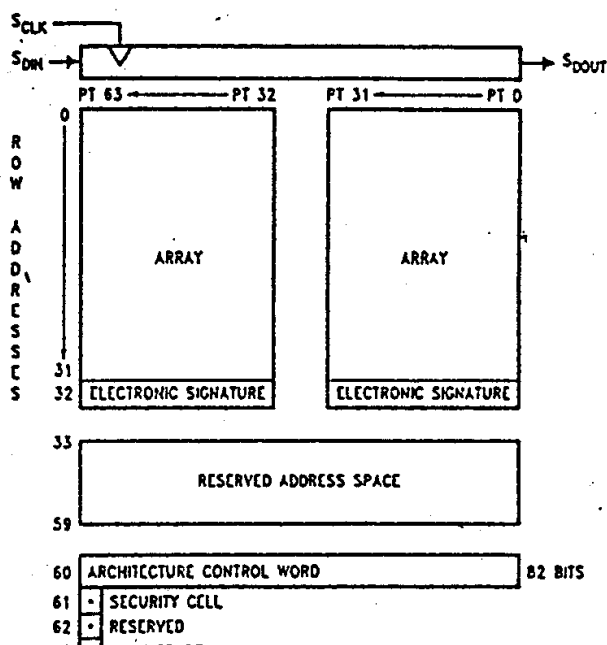


FIGURE 1. GAL16V8 Row Address Map Block Diagram

ELECTRONIC SIGNATURE WORD

An electronic signature word is provided with every GAL16V8 device. It resides at row address 32 and contains 64 bits of reprogrammable memory that can contain user-defined data. Some uses include user ID codes, revision numbers or inventory control. The signature data is always available to the user independent of the state or the security cell.

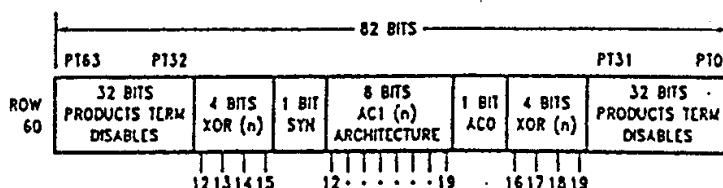


FIGURE 2. GAL16V8 Architecture Control Word Diagram

